

**Family list****5 family members for: JP2000180706**

Derived from 4 applications

[Back to JP2000180](#)

- 1 Signal processing apparatus**  
**Inventor:** TAKAHASHI HIDEKAZU (JP) **Applicant:** CANON KK (JP)  
**EC:** H04N5/217S; H04N3/15E; (+1) **IPC:** H04N3/15; H04N5/217; H04N3/15 (+3)  
**Publication info:** EP0977427 A2 - 2000-02-02
- 2 SIGNAL PROCESSOR AND IMAGE PICKUP DEVICE USING THE SAME**  
**Inventor:** TAKAHASHI HIDEKAZU **Applicant:** CANON KK  
**EC:** **IPC:** H04N5/335; H04N5/335; (IPC1-7):  
H04N5/335  
**Publication info:** JP3563971B2 B2 - 2004-09-08  
JP2000050164 A - 2000-02-18
- 3 SIGNAL PROCESSOR AND IMAGE PICKUP DEVICE**  
**Inventor:** TAKAHASHI HIDEKAZU **Applicant:** CANON KK  
**EC:** **IPC:** H04N5/335; G02B7/28; G03B13/36 (+8)  
**Publication info:** JP2000180706 A - 2000-06-30
- 4 Signal processing apparatus**  
**Inventor:** TAKAHASHI HIDEKAZU (JP) **Applicant:** CANON KK (JP)  
**EC:** H04N5/217S; H04N3/15E; (+1) **IPC:** H04N3/15; H04N5/217; H04N3/15 (+2)  
**Publication info:** US6781624 B1 - 2004-08-24

---

Data supplied from the esp@cenet database - Worldwide

## SIGNAL PROCESSOR AND IMAGE PICKUP DEVICE

**Publication number:** JP2000180706

**Publication date:** 2000-06-30

**Inventor:** TAKAHASHI HIDEKAZU

**Applicant:** CANON KK

**Classification:**

**- international:** H04N5/335; G02B7/28; G03B13/36; H04N5/335;  
H04N5/335; G02B7/28; G03B13/36; H04N5/335; (IPC1-  
7): H04N5/335; G02B7/28; G03B13/36

**- European:**

**Application number:** JP19980357620 19981216

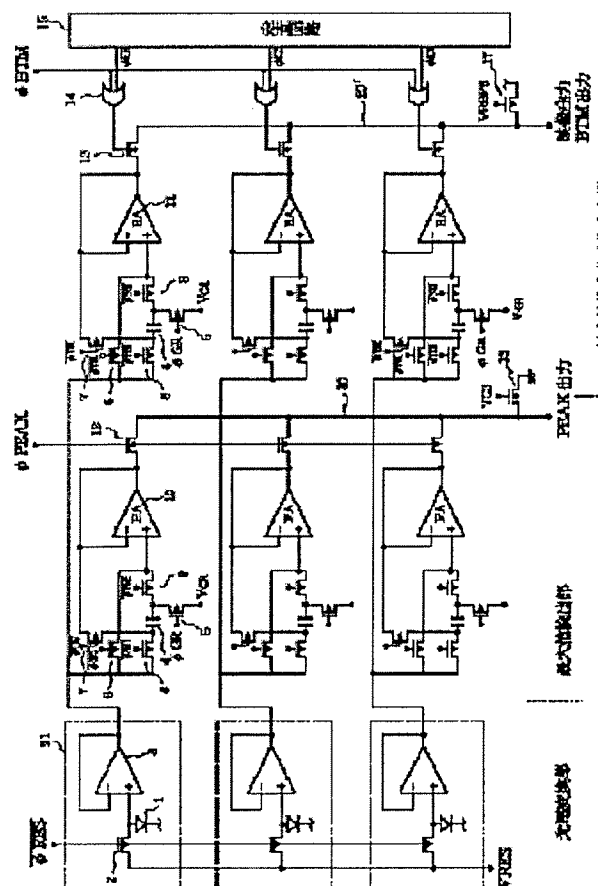
**Priority number(s):** JP19980357620 19981216

Report a data error here

### Abstract of JP2000180706

**PROBLEM TO BE SOLVED:** To reduce chip area by installing a specified value detection means having a function outputting the maximum or minimum value signals of plural signal sources and sequentially outputting individual signals from the plural signal sources.

**SOLUTION:** A voltage follower circuit is constituted of differential amplifiers for maximum value/minimum value detection 10 and 11. At necessary time in an accumulation period, the outputs of the differential amplifiers for maximum/minimum values detection 10 and 11 connected to pixels from which maximum/minimum values are to be outputted are connected to a common output line 20 and constant current MOS transistors for maximum/minimum values detection 16 and 17 are made active. Thus, the differential amplifiers for maximum/minimum value detection 10 and 11 are connected to the common output lines 20 and 20' in common by turning on  $\phi_{PEAK}$  and  $\phi_{BTM}$ . Thus, the output voltage from the pixel outputting the maximum value and the minimum value among the plural pixels is outputted respectively to the common lines 20 and 20'. Individual signals can be outputted sequentially by actively operating the nMOS constant current source 18 of the differential amplifier for minimum value detection 11.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-180706  
(P2000-180706A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード (参考)
G 0 2 B 7/28		C 0 2 B 7/11	N 2 H 0 1 1
G 0 3 B 13/36		H 0 4 N 5/335	Z 2 H 0 5 1
// H 0 4 N 5/335		G 0 3 B 3/00	A 5 C 0 2 4

審査請求 未請求 請求項の数15 O L (全 10 頁)

(21) 出願番号 特願平10-357620

(22) 出願日 平成10年12月16日 (1998.12.16)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 高橋 秀和

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100090538

弁理士 西山 恵三 (外2名)

F ターム (参考) 2H011 AA01 BB04 BB05

2H051 CB20 CB24 CD02 CE01 CE08

CE13 CE14 DB01

5C024 AA01 CA05 FA01 GA01 GA31

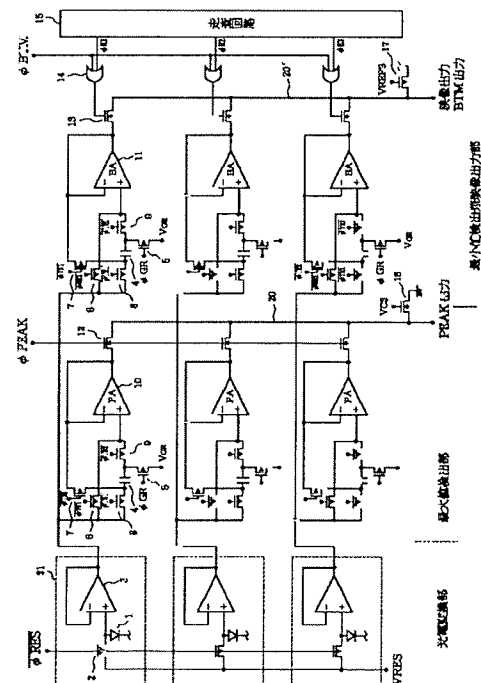
HA09 HA10 HA11 JA04

(54) 【発明の名称】 信号処理装置及び撮像装置

(57) 【要約】

【課題】 小サイズ化、低コスト化、低ノイズ化を達成することを課題とする。

【解決手段】 複数の信号源と、複数の信号源の最大値信号又は最小値信号を出力する特定値検出回路とを有し、特定値検出回路は、複数の信号線のそれぞれからの個別信号を順次出力する機能を兼ね備え、さらに、特定値検出回路の機能を切り替える駆動回路を有することを特徴とする信号処理装置を提供する。



【特許請求の範囲】

【請求項1】 複数の信号源と、

前記複数の信号源の最大値信号又は最小値信号を出力する特定値検出手段とを有し、

前記特定値検出手段は、前記複数の信号源のそれぞれからの個別信号を順次出力する機能を兼ね備え、

さらに、前記特定値検出手段の機能を切り替える駆動手段を有することを特徴とする信号処理装置。

【請求項2】 請求項1において、前記駆動手段は前記特定値検出手段から信号を出力させる駆動タイミングを異ならせることにより前記特定値検出手段の機能を切り替えることを特徴とする。

【請求項3】 請求項1又は請求項2のいずれか1項において、前記特定値検出手段は前記複数の信号源のそれぞれに接続された複数の電圧フォロワ回路を含み、前記駆動手段は、前記複数の電圧フォロワ回路の出力部を出力線に共通接続することにより、最大値信号又は最小値信号を前記出力線に出力し、前記複数の電圧フォロワ回路の出力部を順次前記出力線に接続することにより、前記出力線に順次個別信号を出力するように切り替えることを特徴とする。

【請求項4】 請求項3において、前記複数の電圧フォロワ回路の出力部を前記出力線にそれぞれ接続する複数のスイッチ手段を含み、前記スイッチ手段は前記駆動手段によって制御される。

【請求項5】 請求項4において、前記駆動手段は、それぞれの前記スイッチ手段に同時にパルスを供給するパルス供給手段と、それぞれの前記スイッチ手段に順次パルスを供給する走査回路を含むことを特徴とする。

【請求項6】 請求項3乃至5のいずれか1項において、前記電圧フォロワ回路の出力部はソースフォロワ回路で構成されていることを特徴とする。

【請求項7】 請求項6において、前記最大値出力手段に含まれるソースフォロワ回路は、n型のMOSトランジスタで構成され、前記最小値出力手段に含まれるソースフォロワ回路は、p型のMOSトランジスタで構成されていることを特徴とする。

【請求項8】 請求項6又は請求項7のいずれか1項において、前記出力線には定電流源が設けられており、前記最大値信号出力時又は前記最小値信号出力時には、それぞれ前記ソースフォロワ回路の定電流源をオフさせ、前記出力線に設けられた定電流源をオンさせ、前記個別信号出力時には、それぞれ前記ソースフォロワ回路の定電流源をオンさせ、前記出力線に設けられた定電流源をオフさせることを特徴とする。

【請求項9】 請求項1乃至請求項8のいずれか1項において、前記特定値出力手段の前段に前記信号源のノイズを除去するノイズ除去手段を有することを特徴とする。

【請求項10】 請求項9において、前記ノイズ除去手

段はクランプ回路であることを特徴とする。

【請求項11】 請求項3乃至7のいずれか1項において、前記電圧フォロワ回路の前段にノイズ除去手段を有し、前記ノイズ除去手段は前記信号源のノイズ成分レベル及び前記電圧フォロワ回路のオフセットレベルを除去する。

【請求項12】 請求項1乃至請求項11のいずれか1項において、前記信号源は光電変換画素である。

【請求項13】 複数の信号源と、

前記複数の信号源の最大値信号を出力するための最大値検出手段と、

前記複数の信号源の最小値信号を出力するための最小値検出手段とを有し、

前記最大値出力手段又は前記最小値出力手段は、前記複数の信号源のそれぞれからの個別信号を順次出力する機能を兼ね備え、

さらに、個別信号を順次出力する機能を兼ね備えている前記最大値検出手段又は前記最小値検出手段の機能を切り替える駆動手段を有することを特徴とする信号処理装置。

【請求項14】 請求項13において、前記信号源は光電変換画素である。

【請求項15】 請求項14記載の信号処理装置と、前記信号処理装置から出力された前記最大値信号と前記最小値信号の差分値が所定値以上になることを検知する比較手段と、前記比較手段の出力に基づいて前記信号処理装置内の光電変換画素の光の蓄積時間を制御する制御手段とを有する撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の信号源と、それぞれの信号源の個々の信号と、複数の信号源中の少なくとも最大値信号又は最小値信号を出力できる信号処理装置に関するものである。

【0002】

【従来の技術】従来、映像信号以外に映像信号の最大値と最小値を出力する光電変換装置として、一眼レフカメラ用のオートフォーカスセンサが知られている。これらの光電変換装置は、映像信号の最大値と最小値を基に、蓄積時間、ゲイン制御を行うオートゲインコントロールを行っている。図10にBASISを用いたAFセンサの概略的回路構成図を示す。簡単のため3画素構成のラインセンサとしているが通常は数10～100bit程度で構成されている。

【0003】同図において、51はnpnフォトリスタ、52は、フォトリスタの光電変換部のベースをリセットするPMOSトランジスタ、53はエミッタを接地するためのnMOSトランジスタ、54は最大値(PEAK)を検出するための差動増幅器、55は最小値(BTM)を検出するための差動増幅器、56は

最大値回路用の定電流源、57は最小値回路用の定電流源、58はノイズ電荷を蓄積する容量 $C_{IN}$ 、59は信号電荷を蓄積する容量 $C_{IS}$ 、60、61はスイッチMOSトランジスタ、62、63は転送用MOSトランジスタで走査回路64で駆動される。65、66はバッファ増幅器、67は差動増幅器であり、ノイズを除去した映像出力を出力する。

【0004】ここで最大値回路PA'と最小値回路BA'は図11に示す回路となっている最大値検出回路は出力段がnpnトランジスタ最小値検出回路は、pnpトランジスタとなっている。ここで簡単に最大値出力原理と述べる。各最大値回路PA'の出力が結線され定電流源56に接続されていると、最大値画素のnpnトランジスタがオンする事により、他のPA'のnpnトランジスタはベースよりもエミッタ電位が高くなり、オフするといった原理である。これを図12に示した。

【0005】従来例において、回路ブロックは、光電変換部、最大値検出部、最小値検出部、映像信号出力部の4ブロックで構成されている。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来例では、映像信号をシリアルに出力させる回路、映像信号の最大値を出力させる回路、映像信号の最小値を出力させる回路の3つの回路が各画素列に設けられているため以下の様な問題があった。

【0007】①回路素子数が多いためチップ面積が大きくなる。

【0008】②それぞれの回路の製造バラツキ等により、出力オフセットが発生する。本出願に係る第1の発明の目的は、回路素子数を減らしてチップ面積を縮小させることであり、第2の発明の目的はノイズを減少させることである。

【0009】

【課題を解決するための手段】上記の課題を解決するために、請求項1のように複数の信号源と、前記複数の信号源の最大値信号又は最小値信号を出力する特定値検出手段とを有し、前記特定値検出手段は、前記複数の信号源のそれぞれからの個別信号を順次出力する機能を兼ね備え、さらに、前記特定値検出手段の機能を切り替える駆動手段を有することを特徴とする信号処理装置を提供する。

【0010】また、請求項2のように請求項1において、前記駆動手段は前記特定値検出手段から信号を出力させる駆動タイミングを異ならせることにより前記特定値検出手段の機能を切り替えることを特徴とする信号処理装置を提供する。

【0011】請求項3のように請求項1又は請求項2のいずれか1項において、前記特定値検出手段は前記複数の信号源のそれぞれに接続された複数の電圧フォロワ回路を含み、前記駆動手段は、前記複数の電圧フォロワ回

路の出力部を出力線に共通接続することにより、最大値信号又は最小値信号を前記出力線に出力し、前記複数の電圧フォロワ回路の出力部を順次前記出力線に接続することにより、前記出力線に順次個別信号を出力するように切り替えることを特徴とする信号処理装置を提供する。

【0012】請求項4のように請求項3において、前記複数の電圧フォロワ回路の出力部を前記出力線にそれぞれ接続する複数のスイッチ手段を含み、前記スイッチ手段は前記駆動手段によって制御される信号処理装置を提供する。

【0013】請求項5のように請求項4において、前記駆動手段は、それぞれの前記スイッチ手段に同時にパルスを提供するパルス供給手段と、それぞれの前記スイッチ手段に順次パルスを提供する走査回路を含むことを特徴とする信号処理装置を提供する信号処理装置を提供する。

【0014】請求項6のように請求項3乃至5のいずれか1項において、前記電圧フォロワ回路の出力部はソースフォロワ回路で構成されていることを特徴とする信号処理装置を提供する。

【0015】請求項7のように請求項6において、前記最大値出力手段に含まれるソースフォロワ回路は、n型のMOSトランジスタで構成され、前記最小値出力手段に含まれるソースフォロワ回路は、p型のMOSトランジスタで構成されていることを特徴とする信号処理装置を提供する。

【0016】請求項8のように請求項6又は請求項7のいずれか1項において、前記出力線には定電流源が設けられており、前記最大値信号出力時又は前記最小値信号出力時には、それぞれ前記ソースフォロワ回路の定電流源をオフさせ、前記出力線に設けられた定電流源をオンさせ、前記個別信号出力時には、それぞれ前記ソースフォロワ回路の定電流源をオンさせ、前記出力線に設けられた定電流源をオフさせることを特徴とする信号処理装置を提供する。

【0017】請求項9のように請求項1乃至請求項8のいずれか1項において、前記特定値出力手段の前段に前記信号源のノイズを除去するノイズ除去手段を有することを特徴とする信号処理装置を提供する。

【0018】請求項10のように請求項9において、前記ノイズ除去手段はクランプ回路であることを特徴とする信号処理装置を提供する。

【0019】請求項11のように請求項3乃至7のいずれか1項において、前記電圧フォロワ回路の前段にノイズ除去手段を有し、前記ノイズ除去手段は前記信号源のノイズ成分レベル及び前記電圧フォロワ回路のオフセットレベルを除去する信号処理装置を提供する信号処理装置を提供する。

【0020】請求項12のように請求項1乃至請求項1

1のいずれか1項において、前記信号源は光電変換画素である信号処理装置を提供する。

【0021】請求項13のように複数の信号源と、前記複数の信号源の最大値信号を出力するための最大値検出手段と、前記複数の信号源の最小値信号を出力するための最小値検出手段とを有し、前記最大値出力手段又は前記最小値出力手段は、前記複数の信号源のそれぞれからの個別信号を順次出力する機能を兼ね備え、さらに、個別信号を順次出力する機能を兼ね備えている前記最大値検出手段又は前記最小値検出手段の機能を切り替える駆動手段を有することを特徴とする信号処理装置信号処理装置を提供する。

【0022】請求項14のように請求項13において、前記信号源は光電変換画素である信号処理装置を提供する。

【0023】請求項15のように請求項14記載の信号処理装置と、前記信号処理装置から出力された前記最大値信号と前記最小値信号の差分値が所定値以上になることを検知する比較手段と、前記比較手段の出力に基づいて前記信号処理装置内の光電変換画素の光の蓄積時間を制御する制御手段とを有する撮像装置信号処理装置を提供する。

【0024】

【発明の実施の形態】（第1の実施形態）図1は本発明の特徴を最もよく表す図面であり、同図において、1は光電変換を行うpnフォトダイオード、2はフォトダイオードの電位を $V_{RES}$ にリセットするリセット用MOS、3は差動増幅器であり、1~3によって1つの光電変換画素21を構成する。4はクランプ容量、5はクランプ電位を入力するためのクランプMOSで、4と5でクランプ回路を構成している。6~9はスイッチ用MOS、10は最大値検出用差動増幅器、11は最小値検出用差動増幅器であり、それぞれの差動増幅器は電圧フォロワ回路を構成している。12は最大値出力用スイッチMOS、13は最小値出力用スイッチMOS、14はOR回路、15は走査回路、16、17は定電流用MOSトランジスタである。又、図2に差動増幅器10、11の具体的な回路構成図を示す。最大値検出回路用には最終段がnMOSのソースフォロワ回路、最小値検出回路用には最終段がpMOSのソースフォロワ回路となっている。

【0025】20は画素からの信号が出力される共通出力線である。

【0026】次に図3、図4のタイミングチャートを用いて、本実施例の動作について説明する。動作状態としては、リセット期間（ノイズ除去期間）、蓄積期間（AGC期間）、映像信号出力期間の3つに分けられる。まず、リセット期間について説明する。時刻 $T_0$ において、 $\phi RES$ をHighにすることにより、pnフォトダイオード1の電位をリセットする。時刻 $T_1$ におい

て、フォトダイオードのリセットを終了し、ノイズ除去動作に入る時刻 $T_2$ において、 $\phi TN1$ 、 $\phi TN2$ をHighにすることにより、スイッチMOS6、スイッチMOS7がONになり光電変換用差動増幅器3の出力は、スイッチMOSトランジスタ6、最大値検出回路、スイッチMOS7を通して、クランプ回路用容量4へ入力される。

【0027】次の時刻 $T_3$ 、 $T_4$ において、 $\phi TN1$ 、 $\phi TN2$ をLOWにすることによりスイッチMOS7、スイッチMOS6をOFFさせ、時刻 $T_5$ 、 $T_6$ で $\phi TS2$ をHighにすることによりスイッチMOS9をON、 $\phi GR$ をHighにすることによりクランプ用MOS5をOFFさせる。

【0028】この時、クランプ容量4には画素内のノイズ成分と差動増幅器10、11のオフセット成分が加算された電圧が保持される。以上の過程で、光電変換部と最大値検出部と最小値検出部のノイズ（オフセット）をクランプ除去をするためのリセット期間が終了する。

【0029】時刻 $T_7$ から蓄積期間（AGC期間）に入る時刻 $T_7$ において、 $\phi PEAK$ 、 $\phi BTM$ をHighにすることにより、スイッチMOS12、13をONにして、最大値、最小値を出力したい画素に接続されている差動増幅器10、12の出力を共通出力線20に接続し、定電流回路16、17をアクティブにする。

【0030】このように、電圧フォロワ回路を構成している差動増幅器10、11を $\phi PEAK$ 、 $\phi BTM$ をONにすることによりそれぞれ出力線20、20'に共通接続することで、複数の画素の中で最大値を出力する画素からの出力電圧が共通出力線20に、最小値を出力する画素の出力電圧が共通出力線20'に出力される。

【0031】ここで、クランプ容量4に保持されている電圧は以下のように示される。

$$V_{CP} = V_{d_{avk}} + V_{FPN} + V_{RN} + V_{off} \quad (1)$$

（ $V_{d_{avk}}$ ＝画素暗時電圧、 $V_{FPN}$ ＝固定パターンノイズ電圧、 $V_{RN}$ ＝ランダムノイズ電圧、 $V_{off}$ ＝電圧フォロワ回路オフセット電圧）

【0032】この時の画素からの最大値又は最小値の出力は、

$$V_{PB} + V_{d_{avk}} + V_{FVN} + V_{RN} \quad (2)$$

となる。ここで $V_{PB}$ は最大値又は最小値電圧である。この電圧がスイッチMOS8を介してクランプ回路へ入力される。この時、先に蓄積されている電圧（1）との差分により、差動増幅器10、11からの出力は、

$$V_{OUT} = (2) - (1) + V_{off} = V_{PB}$$

となる。つまり、増幅増幅器からは光電変換画素のノイズのみならず、差動増幅器のノイズ（オフセット成分）も除去された信号を得ることができる。

【0033】この時、差像増幅器10、11それぞれの出力段の定電流MOSトランジスタ18、19は $V_{C2}$ をLOW、 $V_{REF2}$ をHighにすることにより、O

FFさせておく。蓄積期間が経ち、最大値－最小値がある値に達した時、AGC動作が終了し、蓄積動作が終了する。

【0034】時刻 $T_9$ から映像信号読み出し期間に入る、時刻 $T_9$ において、 $V_{REF2}$ を設定電位（所望の電流となる電位）にすることにより、差増幅器11の定電流MOS18をアクティブ状態にして、動作させる。時刻 $T_{10}$ において、走査回路15を走査させ、 $\phi H1$ 、 $\phi H2$ 、 $\phi H3$ を順次出力させ、映像信号をシリアルに出力させる。

【0035】以上の動作タイミングにより、最小値検出回路に映像信号出力機能を兼ねさせることが可能となる。

【0036】本実施例において、最終出力段がソースフォロ形式である電圧フォロ回路を各画素毎に構成し、最小値出力時には各電圧フォロの出力段の定電流源をオフにして、定電流源に接続された出力線に共通接続することにより、映像信号の最小値を得ることができる。また、映像信号出力時には、各電圧フォロの出力段の定電流源をオンにして、各電圧フォロ回路を順次、出力線に接続させることにより、シリアルな映像信号を得ることができる。

【0037】本実施例において、回路数を激減させることにより、従来よりもチップ面積を小さくすることが可能となった。また、オフセット除去動作や、最小値出力回路と映像信号出力回路が同一になったため、出力オフセットの低減も可能となった。

【0038】本実施例において、差増幅器10、11の各電圧フォロの最終出力段はMOSトランジスタによるソースフォロ回路としたが、従来と同様のバイポーラトランジスタによるエミッタフォロ回路としても同様の効果を得ることができる。

【0039】（第2の実施形態）図5に本発明の第2実施例の回路構成図を示す。

【0040】第1実施例では、最小値検出回路に映像信号出力機能を兼ねさせていたが、本実施例では最大値検出回路に映像信号出力機能を兼ねさせたことを特徴とする。

【0041】本実施例においても、第1実施例と同様な、チップ面積の低減、出力オフセットの低減といった効果を得ることが可能となった。

【0042】（第3の実施形態）図6に本発明の第3実施例の回路構成図を示す。

【0043】本実施例では、最大値検出回路と最小値検出回路の入力の前にあるノイズクランプ回路がないことを特徴とする。当然、ノイズとなる出力オフセットは大きくなるが、チップ面積が大幅に減らすことが可能となるため、性能よりもコスト優先となる光電変換装置に有効となる。

【0044】（第4の実施形態）図7に本発明の第4実

施例の回路構成図を示す。

【0045】本実施例では、最大値出力と映像信号出力のみを出力させる光電変換装置である安価なシステムの場合、最小値を用いず、信号処理を行う場合がある。その場合は、本実施例の様に、最大値検出回路に映像信号出力機能を兼ねさせる事により、更なる回路削減、チップ面積低減が可能となる。又、第3実施例の様にクランプ回路を削除しても良い。

【0046】本実施例において、更に低コストの光電変換装置が可能となる。

【0047】（第5の実施形態）図8は、本発明の第5実施形態をあらわす回路図である。本実施形態では光電変換画素を2次元に配列したものであり、1列ごとに最大値検出回路と最小値検出回路が設けられている。

【0048】20は1光電変換画素の示すものであり、1は、光電変換を行うpnフォトダイオード、30はpnフォトダイオードの信号電荷を転送するための転送MOS、32は転送された信号を増幅して出力する増幅MOS、31は転送された信号を所定のリセット電位にリセットするためのリセットMOS、33は画素を選択するための選択MOSである。37は定電流源であり、増幅MOSとソースフォロを構成する。35は垂直出力線、36は1行ずつ順次画素を選択するための垂直走査回路、38は水平出力線、39は信号を順次水平出力線に転送する水平走査回路である。又、図1と同じ構成部材については同じ番号を付けてある。

【0049】本実施例においては、垂直走査回路36によって、1行ずつ画素を選択して、実施形態1と同様の動作を行うことにより、1行中の最大値出力、最小値出力、映像出力が得られる。

【0050】以上実施形態1～5で説明した光電変換画素は、実施形態1～5で説明したものに限るものではない。例えば、実施形態5で説明した光電変換画素を実施形態1に用いてもよい。この場合、実施形態1はラインセンサーなので選択MOS33を除くことができる。又、MOS型の他の回路構成でもよいし、MOS型に限らず、BASIS、SIT等の画素構成であってもよい。さらに又、光を電気信号に変換する光電変換画素ではなく、電圧信号等を発生する信号源であればよい。

【0051】（第6の実施形態）図9、実施形態1～5で説明した光電変換装置を用いた具体的な撮像装置のブロック図である。

【0052】図3において、101は実施形態1～5で説明した光電変換装置、102はPEAK出力 $V_{PEAK}$ とBTM出力 $V_{BTM}$ との差分をとるための差動増幅器、103は差動増幅器102の出力と所定の基準レベル $V_{ref}$ とを比較し、適正な蓄積レベルに達したことを判定するコンパレータ、109と111はVideoラインより出力される最小値と最大値の信号をそれぞれ記憶する記憶回路、110は記録回路109の出力と映像出力

Videoの出力の差をとる差動増幅器、112は記録回路111と記録回路109との出力の差をとる差動増幅器、104はマイクロコンピュータである。マイクロコンピュータは、CPUコア104a、ROM104b、RAM104c、A/D変換器104dから構成される。

【0053】図3に示した撮像装置においては、まず、マイクロコンピュータ104がリセット信号 $\phi_{res}$ 、 $\phi_{vrs}$ を出力し蓄積を開始する。次にコンパレータ103の反転信号 $\phi_{comp}$ を受け $\phi_i$ が出力され蓄積を中止する。さらに $\phi_{hrs}$ 及び $\phi_{ck}$ が出力され読み出しが行われる。このとき最小値の出力のタイミングで記憶回路109にマイクロコンピュータ104からサンプリング信号SHが送られ最小値が記憶される。引き続き出力される光電変換素子アレイの出力は差動増幅器110により最小値との差をとった形でA/D変換される。このときA/D変換の参照電位 $V_{r1}$ は接地電位、 $V_{rh}$ は $V_{ref}$ と設定されているのでA/D変換は光電変換画素の出力のほぼ最大値と最小値の間で行われるが、このとき光電変換装置の出力の基準となる最小値が正確に読み出されているため、A/D変換が正確に被写体のコントラスト部分について行われる。

【0054】

【発明の効果】以上説明したように、本発明によれば、複数の信号源の少なくとも最大値信号又は最小値信号及びそれぞれの信号源からの個別信号とを出力する装置に以下のような効果を持たせることができる。

- ・小サイズ化が可能となる
- ・低コスト化が可能となる
- ・低雑音化が可能となる

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係わる回路構成図である。

【図2】本発明の第1の実施形態に係わる回路構成図である。

【図3】本発明の第1の実施形態に係わるタイミングチャート図である。

【図4】本発明の第1の実施形態に係わるタイミングチャート図である。

【図5】本発明の第2の実施形態に係わる回路構成図である。

【図6】本発明の第3の実施形態に係わる回路構成図である。

【図7】本発明の第4の実施形態に係わる回路構成図である。

【図8】本発明の第5の実施形態に係わる回路構成図である。

【図9】本発明の第6の実施形態に係わる回路構成図である。

【図10】従来例の回路構成図である。

【図11】従来例の回路構成図である。

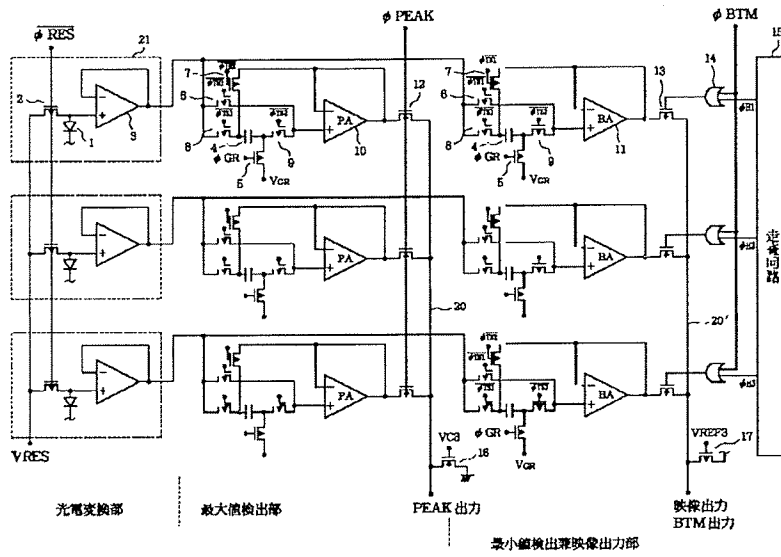
【図12】従来例の回路構成図である。

【符号の説明】

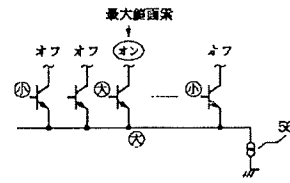
- 1 p nフォトダイオード
- 2 リセット、MOSトランジスタ
- 3 差動増幅器
- 4 クランプ容量
- 5 クランプMOSTランジスタ
- 6～9 スイッチMOSTランジスタ
- 10 最大値検出用差動増幅器
- 11 最小値検出用差動増幅器
- 12 最大値出力線接続トランジスタ
- 13 最小値出力線接続トランジスタ
- 14 OR回路
- 15 走査回路
- 16 最大値検出用定電流MOSTランジスタ
- 17 最小値検出用定電流MOSTランジスタ
- 18 nMOS定電流源
- 19 pMOS定電流源
- 15 ソースフォロワアンプMOSTランジスタ
- 26 ソースフォロワ定電流源
- 51 n p nフォトトランジスタ
- 52 リセットMOSTランジスタ
- 53 接地MOSTランジスタ
- 54 最大値検出用差動増幅器
- 55 最小値検出用差動増幅器
- 56、57 定電流源
- 58、59 MOS容量
- 60～63 スイッチMOSTランジスタ
- 64 走査回路
- 65、66 電圧フォロワ回路
- 67 差動増幅器
- 101 光電変換装置
- 102、110 差動増幅器
- 103 コンパレータ
- 104 マイクロコンピュータ



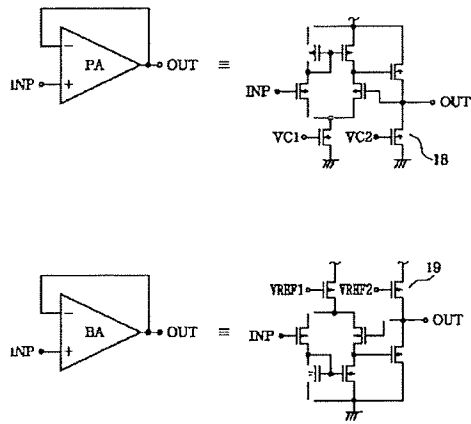
【図1】



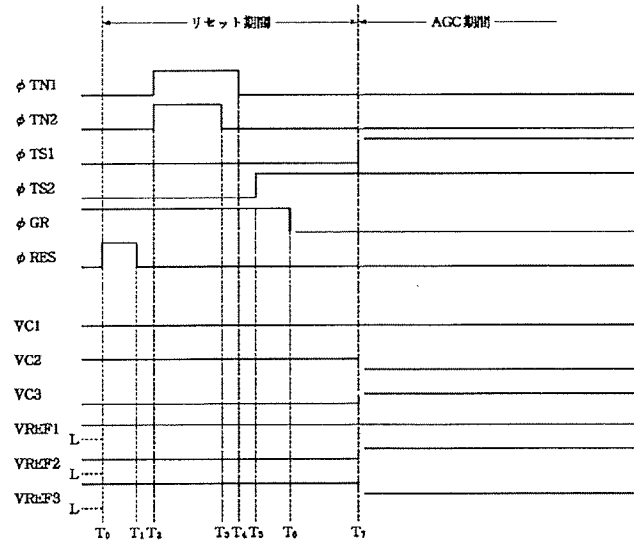
【図12】



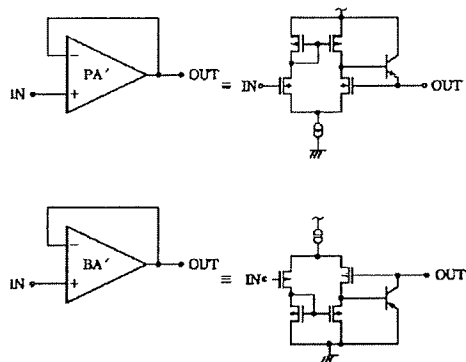
【図2】



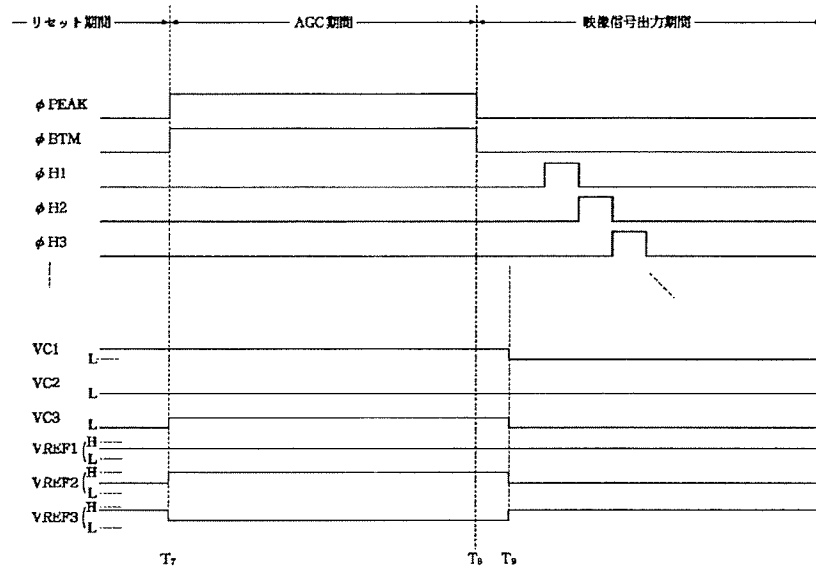
【図3】



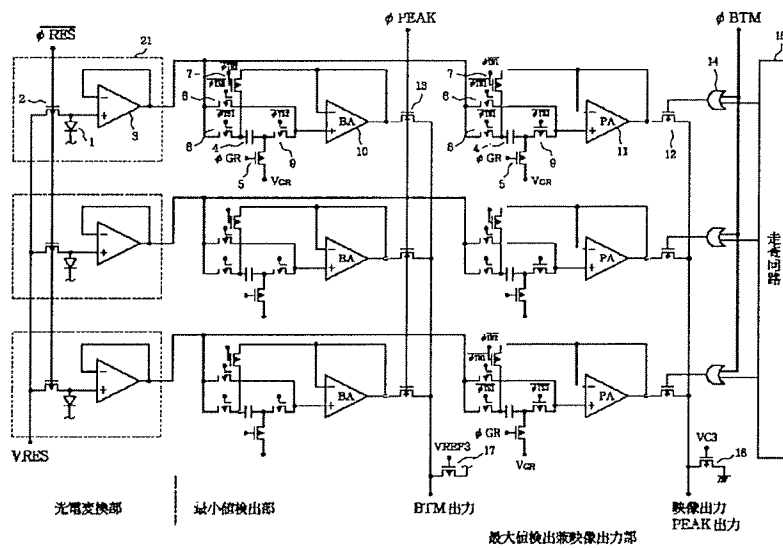
【図11】



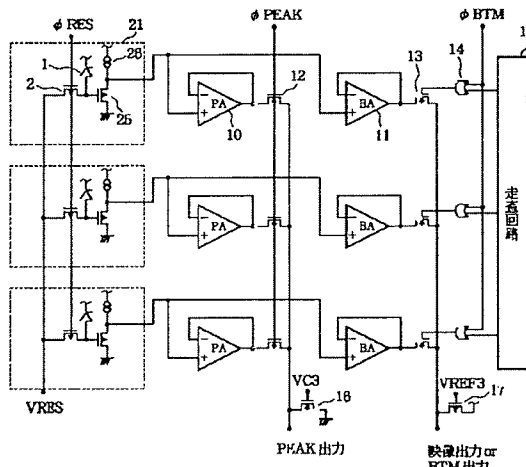
【図4】



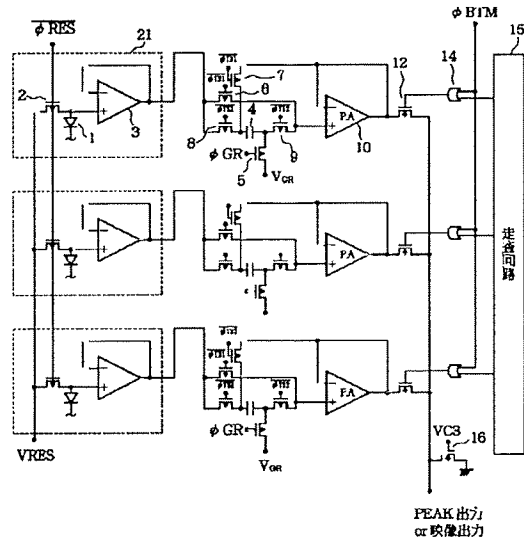
【図5】



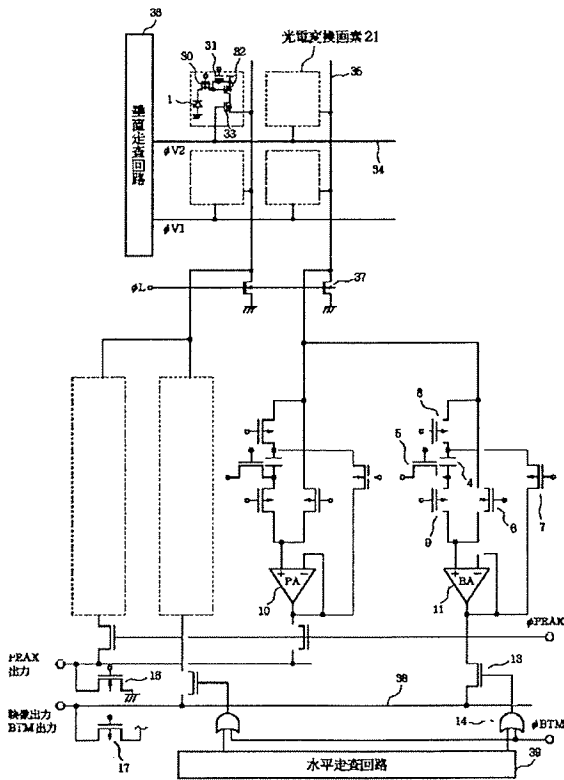
【図6】



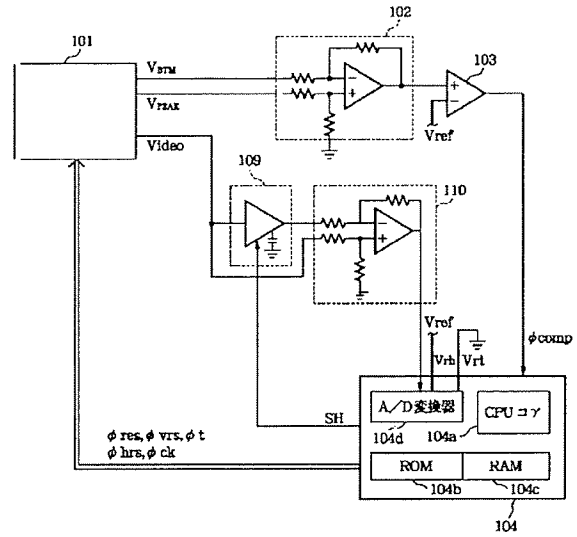
【図7】



【図8】



【図9】



【図10】

